

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 5 月 26 日 (26.05.2005)

PCT

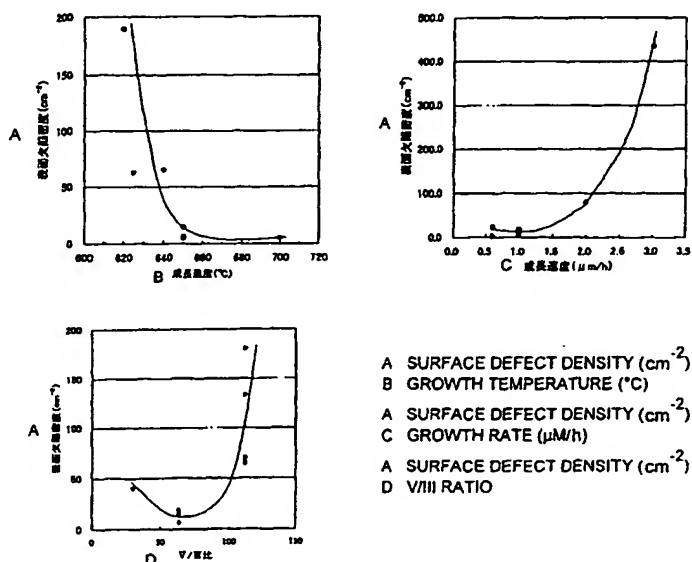
(10) 国際公開番号
WO 2005/048332 A1

- (51) 国際特許分類⁷: H01L 21/205 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/016905 (75) 発明者/出願人 (米国についてののみ): 小廣 健司 (KO-HIRO, Kenji) [JP/JP]; 〒3050045 茨城県つくば市梅園 2-13-1-4-201 Ibaraki (JP).
(22) 国際出願日: 2004 年 11 月 8 日 (08.11.2004)
(25) 国際出願の言語: 日本語 (74) 代理人: 榎本 雅之, 外 (ENOMOTO, Masayuki et al.); 〒5418550 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 住友化学知的財産センター株式会社内 Osaka (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-382116
2003 年 11 月 12 日 (12.11.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 27 番 1 号 Tokyo (JP). 高田 朋幸 (TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園 2-13-1-4-102 Ibaraki (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/続葉有/

(54) Title: METHOD FOR MANUFACTURING COMPOUND SEMICONDUCTOR EPITAXIAL SUBSTRATE

(54) 発明の名称: 化合物半導体エピタキシャル基板の製造方法



(57) Abstract: Disclosed is a method for manufacturing a compound semiconductor epitaxial substrate with few hollow defects. The method for manufacturing a compound semiconductor epitaxial substrate comprises a step for epitaxially growing an InGaAs layer on an InP single crystal substrate or on a layer lattice-matched to the InP single crystal substrate at a V/III ratio of 10-100, a growth temperature of 630-700°C and a growth rate of 0.6-2 μm/h.

(57) 要約: 本発明は、凹状欠陥の少ない化合物半導体エピタキシャル基板の製造方法を提供する。化合物半導体エピタキシャル基板の製造方法は、InP単結晶基板の上、またはInP単結晶基板と格子整合する層の上に、エピタキシャル成長により、V/III比: 10~100、成長温度: 630°C~700°C、成長速度: 0.6 μm/h~2 μm/hの条件下、InGaAs層を形成する工程を含む。